

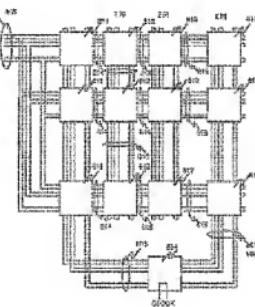
**SUPERCONDUCTING FPGA DEVICE****Publication number:** JP8148989 (A)**Publication date:** 1996-06-07**Inventor(s):** HATANO MUTSUOKO; NAGAISHI HIDEYUKI; HOSOYA MUTSUMI**Applicant(s):** HITACHI LTD**Classification:**

- international: *H01L39/22; H01L21/02; H01L27/11B; H03K17/00; H03K19/195; H01L39/22; H01L21/70; H01L27/11B; H03K17/00; H03K19/02; (IPC1-7): H03K19/195; H01L27/11B; H01L39/22; H03K17/00*

- European:

**Application number:** JP19940284733 19941118**Priority number(s):** JP19940284733 19941118**Abstract of JP 8148989 (A)**

**PURPOSE:** To configure the FPGA device with low power consumption at a high speed by using a Josephson integrated circuit. **CONSTITUTION:** The device is provided with logic units having a pre-set logical connection between the logic unit and a wiring unit 812 located between logic units 812 in the vertical direction and the horizontal direction and connected to the logic unit 8, and the connection between the logic unit 812 and the wiring unit and the connection between the vertical and horizontal wires are made by using a superconducting multiplexer 811 and an objective logic function is realized between input terminals and output terminals being parts of the wiring unit 812.



---

Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-148989

(43)公開日 平成8年(1996)6月7日

(51)IntCl. <sup>*</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 19/195	ZAA	9189-5K		
H 01 L 27/118				
39/22	ZAA K			
H 03 K 17/00	ZAA F	9184-5K		

H 01 L 21/ 82 M  
審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21)出願番号 特願平6-284733

(22)出願日 平成6年(1994)11月18日

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地(72)発明者 波多野 謙子  
東京都国分寺市東恋ヶ窪1丁目280番地株式会社日立製作所中央研究所内  
(72)発明者 永石 英幸  
東京都国分寺市東恋ヶ窪1丁目280番地株式会社日立製作所中央研究所内  
(72)発明者 細谷 謙  
東京都国分寺市東恋ヶ窪1丁目280番地株式会社日立製作所中央研究所内  
(74)代理人 弁理士 小川 勝男

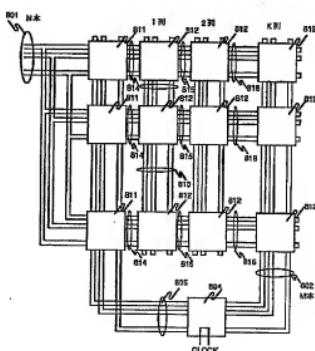
(54)【発明の名称】超電導FPGA装置

図4

(57)【要約】

【目的】ジョセフソン集積回路で高速かつ低消費電力のFPGA装置を構成する。

【構成】格子状に整列された一定の論理機能を有する論理ユニットと、該論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された配線ユニットどちらなり、前記論理ユニットと配線ユニットとの接続、及び垂直側と水平側配線との接続に超電導マルチブレーカが使用されており、前記超電導マルチブレーカの切り替え制御により、配線ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現する。



## 【特許請求の範囲】

【請求項1】格子状に整列された一定の論理機能を有する論理ユニットと、前記論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された配線ユニットとからなり、前記論理ユニットと前記配線ユニットとの接続、及び垂直方向配線と水平方向配線との接続に超電導マルチブレクサが使用され、前記超電導マルチブレクサの切り替え制御により、前記配線ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現することを特徴とする超電導FPGA装置。

【請求項2】請求項1に記載の前記超電導マルチブレクサは、一本の信号配線と信号配線のイネーブル配線が正方向に入力される正則ジヨセフソン素子と、前記信号配線が逆方向に入力され、前記信号配線のイネーブル配線が正方向に入力される逆側ジヨセフソン素子と一緒にとし、それらの複数組を從属接続してなり、複数組のうちの一組にイネーブル入力が与えられることにより、その一組と同一の組の信号線の入力が出力に現われる超電導FPGA装置。

【請求項3】請求項2に記載の前記イネーブル入力は、2個のジヨセフソン素子とそれを直列接続する超電導配線とで構成される超電導ループのループ電流として供給され、前記FPGA装置に論理機能を設定する論理プログラム時にループ電流が設定されて超電導マルチブレクサの特定入力の選択を実現し、論理実行時にはその選択状態を保持する超電導FPGA装置。

【請求項4】請求項1において、順序回路を模擬する機能を有するリップフロップユニットを含み、前記リップフロップユニットの出力は前記超電導マルチブレクサを介して論理ユニットと記憶ユニットの配列の先頭に帰還されている超電導FPGA装置。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ボードに実装した状態でLSIに論理機能を設定可能なフィールドプログラマブルゲートアレイ(Field Programmable Gate Array, 以下、FPGA)装置に係り、特に、論理素子及びプログラム素子にジヨセフソン素子を用いた超電導FPGA装置に関する。

## 【0002】

【従来の技術】ボードに実装した状態でLSIに論理機能を設定可能なFPGA装置に関しては、従来多数の製品が発表されている。中でも代表的なザイリンクス(Xilinx)社のFPGA装置が日経マイクロデバイスNo.108, 60ページ、(1994年)に記述されている。

【0003】ザイリンクス社のFPGA装置は、可変論理ユニットの入出力端子を水平または垂直方向配線チャネルに選択接続することにより、ユーザの希望する任意の論理機能をLSIチップ内に実現できる。

【0004】論理エミュレーション装置の全体構成を図5に示す。同図で101はエミュレーション装置全体を収容するLSIチップ、102は可変論理ユニット、103は1/0ユニット、104は水平方向配線、105は垂直方向配線である。可変論理ユニットの入出力端子を水平または垂直方向配線に選択接続することにより、希望する任意の論理機能をLSIチップ内に実現できる。なお装置の配線には超電導線を用いることにより信号の遅延を減少させて、高速化、低消費電力化を図る。

【0005】可変論理ユニットの構成を図6に示す。同図で201はユーザプログラマブルラックアップテープル、202はユーザプログラマブルマルチブレクサ、203はリップフロップ、204は入力信号線、205は出力信号線である。

【0006】ユーザプログラマブルラックアップテープル201の内容及びユーザプログラマブルマルチブレクサ202の切替はRAMセル群206により制御される。可変論理ユニットの入出力配線は、水平方向記線または垂直方向記線とスイッチマトリックスで接続され

20 20る。同様に水平方向記線と垂直方向記線はスイッチマトリックスで接続される。スイッチマトリックスは記線間スイッチを格子状に整列させたものである。

【0007】記録線スイッチ305の構成を図7に示す。同図で401はCMOSのスイッチであり、水平方向記線104と、垂直方向記線105を接続する。接続の制御はRAMセル402により行われる。RAMセル402の内容は'1'であると水平方向記線104と、垂直方向記線105は接続され、「0」であると两者は切り離される。CMOSスイッチ401はオフ時に殆ど無限大的の抵抗値を実現できるので、理想的な双方向スイッチとして動作可能である。

【0008】以上のようなFPGA装置は記録線スイッチ305の切り替えにより、任意の機能を実現できる。CMOS集積化技術の進歩により、1LSI上に等価的に実現できる論理回路の規模も数千ゲートに達する。このため、このようなFPGA装置はLSIの試作前のボードの動作検証や論理エミュレーション装置として広く用いられている。

## 【0009】

【発明が解決しようとする課題】音声や画像のLSIの検証は実時間で行う必要がある。その際に要求される速度はクロック200MHzから500MHz以上である。さらに対象が並列に展開できないので並列処理や分散処理をさせることができない。

【0010】従来のFPGA装置を応用した論理エミュレーション装置の制約は、等価的な論理を本来目的とするLSI上に最適な形で実現した場合に對比して、動作速度が遅いことにある。例えば、現在のサブミクロンCMOSプロセスで最適設計を行えばクロック100MHz程度の論理回路を実現することは可能であるが、論理

エミュレーション装置で実現可能な速度は 10 MHz 程度である。

【0011】これは、プログラマビリティを実現する手段として CMOS あるいはフラッシュメモリを記憶間スイッチ用の素子として用いた場合、論理ゲート間に介在している記憶チャネルや記憶間スイッチの寄生容量や寄生抵抗が大きいためである。このため実時間との差が 20 倍以上あり、これでは実時間での論理ネットリストの検証が困難となる。

【0012】一方、記憶間スイッチ用の素子として、バイポーラや GaAs 素子の SRAM を用いた場合、SRAM は 6 個以上のフリップフロップ回路から構成されているため、素子数が膨大なことから高集積化が困難である。さらに、CMOS、バイポーラ素子あるいはフラッシュメモリを用いると、素子の駆動電圧が 1 V 以上であるため消費電力が大きくなり、高集積化ができないとともに、通信用の携帯機器への適用が困難である。また、従来の FPGA 装置に SRAM を用いたものでは、電源を落すと書き込んだプログラムが消去されるという問題があった。

【0013】本発明の第一の目的は、高速で動作可能な FPGA 装置を提供することにある。

【0014】本発明の第二の目的は、低消費電力で動作可能な FPGA 装置を提供することにある。

【0015】本発明の第三の目的は、電源を落しても論理実行時にはその選択状態を保持することができる FPGA 装置を提供することにある。

【0016】

【課題を解決するための手段】本発明のこれらの目的は、格子状に整列された一定の論理機能を有する論理ユニットと、該論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された記憶ユニットとなり、前記論理ユニットと記憶ユニットとの接続、及び垂直側と水平側配線との接続に超電導マルチプレクサが使用されており、前記超電導マルチプレクサの切り替え制御により、記憶ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現することにより達成される。本発明は、FPGA 装置を CMOS 技術ではなく、より高速の超電導集積回路技術で構成することにより、等価的な論理を目的とする LSIs 上に最適な形で実現した場合以上の性能を実現しようとするものである。

【0017】

【作用】代表的な超電導集積回路であるヨセフソン集積回路では、2 μm 程度のプロセスを用いても 1 GHz 以上の動作クロックが実現可能である。プログラマビリティを実現する手段として、論理ゲート間に記憶チャネルや記憶間スイッチを介在せても 100 MHz 以上の動作クロックが実現可能である。さらに超電導マルチプレクサの特定入力の選択により、論理機能を設定する論

理プログラム時に超電導ループ電流が設定されて、論理実行時には電源を落してもその選択状態を保持することができます。

【0018】但し、ヨセフソン素子のオフ時の抵抗値を無限大にすることは不可能である。その代わりオン時の抵抗はゼロとができる。このため、CMOS のような双方向スイッチを使用する代わりにマルチプレクサのみを組み合わせて記憶間接続のプログラマビリティを確保することになる。このため FPGA 装置全体の構成方法が異なってくる。

【0019】

【実施例】図 1 に本発明の超電導 FPGA 装置の基本要素である超電導プログラマブル多入力マルチプレクサの構成を示す。同図で 501 ～ 503 は肯定入力側ヨセフソン素子、511 ～ 513 は否定入力側ヨセフソン素子、521、522 は負荷抵抗、523 は電源安定化抵抗である。

【0020】第一の肯定入力側(正側)ヨセフソン素子 501 及び第一の否定入力側(逆側)ヨセフソン素子 511 には共に正向きにループ信号 S 1 が印加されている。さらにヨセフソン素子 501 及び 511 には入力信号 I 1 がそれぞれ正向き及び逆向きに印加されている。一方、プログラム用ヨセフソン素子 531、リセット用ヨセフソン素子 532 に記憶ループ 533 を直列接続したもの、ダンピング抵抗 534 を並列に接続したものにも直流電流 I b が供給されている。プログラム用ヨセフソン素子 531 にはプログラム信号 P 1 が供給されている。リセット用ヨセフソン素子 532 にはリセット信号 R 1 が供給されている。

【0021】直流電流 I b を供給したことにより、記憶ループ 533 に直流電流が流れ、ヨセフソン素子 501 及び 511 に印加されるループ信号がオンとなる。記憶ループ 533 はプログラム用ヨセフソン素子 531 及びリセット用ヨセフソン素子 532 とともに超電導ループを形成するので、ループ信号は直流電流 I b を遮断しても消失しない。すなわち、超電導ループは不揮発的な機能を有する。ループ信号を消失させるためには、リセット信号 R 1 を印加する。

【0022】同様に、第二の肯定入力側ヨセフソン素子 502 及び第二の否定入力側ヨセフソン素子 512 には、共に正向きにループ信号 S 2 が印加されている。さらにヨセフソン素子 502 及び 512 には、入力信号 I 2 がそれぞれ正向き及び逆向きに印加されている。一方、プログラム信号 P 2 をプログラム用ヨセフソン素子 535 に供給することにより、ヨセフソン素子 502 及び 512 に印加されるループ信号がオンとなる。

【0023】同様に、第 N の肯定入力側ヨセフソン素子 503 及び第 N の否定入力側ヨセフソン素子 513 には、共に正向きにループ信号 S N が印加されている。

さらにジョセフソン素子503及び513には、入力信号A-Nがそれぞれ正向き及び逆向きに印加されている。一方、プログラム信号P-Nをプログラム用ジョセフソン素子536に供給することにより、ジョセフソン素子503及び513に印加されるループ信号がオンとなる。

【0024】ジョセフソン素子501～503、511～513は、ループ信号がオンとなったもののみイネーブル（有効選択）され、イネーブルされた素子に印加される出力信号がオフであれば出力信号もオフとなる。入力信号がオフであれば出力信号もオフとなる。即ち、イネーブルされた素子に印加される入力信号に一致した出力信号が発生する。ただしループ信号としては、N本の中から1本だけを選択する。またループ信号はプログラム信号により発生するので、プログラム信号で選択された入力信号がに出力に現わることになる。すなわちプログラマブル多入力マルチブレクサとして動作することになる。

【0025】図2に、以下の実施例の説明で使用するプログラマブル多入力マルチブレクサのシンボル図を示す。特に断らない限り、シンボル図601のように、プログラム信号や電源電流は省略し、A1～ANの入力信号と出力信号OUTのみを記す。入力信号A1～ANが次段でも使用される場合、602のように記す。入力信号A0がその段でのみ使用される場合、603のように記す。

【0026】図3に本発明の超電導FPGA装置の基本ユニットである論理/配線ユニットの構成を示す。同図で701は当該段へのN本の入力バスであり、702は次段へN本の出力バスである。703はM本の内部バスである。711は可変論理ユニットであり、ジョセフソン素子からなる複数のORとANDで構成されている。これらのORとANDの配線接続により、任意の論理を組むことができる。

【0027】可変論理ユニット711の入力の一部はプログラム入力712として与えられる。残りの入力713はN入力マルチブレクサ714で入力バスを選択接続して得られる。可変論理ユニット711の出力信号線は出力バスの1本を構成する。当該段への入力バス701の第1行とM本の内部バス703から、(M+1)入力マルチブレクサにより、次段への出力バス702の第1行が選択される。なお、このN個の(M+1)入力マルチブレクサの部分716をN×Mマルチブレクサとして、他の部分も用いる。

【0028】本実施例では可変論理ユニットで論理を組んだが、可変論理ユニットをプログラマブル多入力マルチブレクサの超電導ループで構成し、該マルチブレクサを用いて論理を組むこともできる。

【0029】図4に本発明の超電導FPGA装置の全体構成を示す。同図で801は装置全体への入力バスで、N本ある。一方、802は装置全体からの出力バスで、

M本ある。出力バスは、リップフロップユニット804にも帰還される。リップフロップユニット804はクロックを供給されるM個のリップフロップを並列に配置したものである。リップフロップユニット804のM本の出力805はN×Mマルチブレクサ811の内部バスに接続される。

【0030】装置全体への入力バス801はN×Mマルチブレクサ811の入力バスに接続される。N×Mマルチブレクサ811はM個存在し、内部の構成は図3の716に示した。本装置の中継をなすものはM行K列に配列された論理/配線ユニット812である。第一列のM個の論理/配線ユニットは、相互にM本の内部バス813で接続されており、かつそれぞれN×Mマルチブレクサ811の各N本の出力バス814を入力バスとして受け入れる。

【0031】同様に第2列のM個の論理/配線ユニットは、第1列の出力バス815を入力バスとして受け入れる。同様に最終列である第K列のM個の論理/配線ユニットは、第(K-1)列の出力バス816を入力バスとして受け入れる。そして第K列のM個の論理/配線ユニットの内部バスが装置全体からの出力バス802に接続される。

【0032】本発明のFPGA装置では、半導体FPGA装置におけるCMOSスイッチの代わりにプログラマブル多入力マルチブレクサを用いているため、論理/配線ユニットの配列内で双方向に信号を授受することはできない。第1列の論理/配線ユニットの出力は第(1+1)列に受け継がれ、逆方向には伝達できない。このため、模擬しようとする論理回路のラッチ間論理段数は、可変論理ユニット内論理段数×論理/配線ユニット列数(K)以内でなくてはならない。可変論理ユニットは組み合わせ回路であるため、任意の順序回路を模擬する場合にはラッチが必要となる。本発明では、順序回路をリップフロップユニット804の出力805はN×Mマルチブレクサ811を介して論理/配線ユニットの配列の先頭に帰還されているため、一定の規則の組み合わせ回路と順序回路の両方を含む回路を模擬することが可能となる。

【0033】図4の超電導FPGA装置をさらに大規模に接続し、X方向にP列、Y方向にQ列配置することにより、全体で模擬可能な論理規模を(P×Q)倍に拡大することができる。これにより大規模な論理機能、例えば論理エンジュレーション装置の実現が可能となる。

【0034】本実施例によれば超電導プログラマブル多入力マルチブレクサを用いてFPGA装置を構成できるので、高速で低消費電力で動作するFPGA装置を実現することが可能である。また高集積化を図ることもできる。さらに、電源を落しても論理実行時にはその選択状態を保持する不揮発的な動作をするFPGA装置を提供

することである。本実例の超電導 F P G A 装置を用いれば、L S I の試作前のボードの動作検証や論理工エミュレーション装置を容易に実現できる。

[0035]

【発明の効果】本発明によれば超電導プログラマブル多入力マルチプレクサを用いて FPGA 装置を構成できるので、高速で低消費電力で動作する FPGA 装置を実現することができる。また高集積化が図ることもできる。さらに、電源を落しても論理実行時にはその選択性態を保持する不揮発的な動作をする FPGA 装置を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の超電導プログラマブル多入力マルチプロセッサの回路図

【図2】本発明の多入力マルチプレクサのシンボルの説明図

明凶。

\* 【図3】本発明の超電導FPGA装置の論理/配線ユニットの構成を示す抜図

【図4】本発明の超電導FPGA装置の全体構成を示す系統圖

[図6] 従来のE.P.C.A技術の会社構造を示す説明図

【図6】従来のFPGA装置内の可変論理ユニットの構成を示す範囲。

【図7】従来のFPGA装置における配線間スイッチの構造

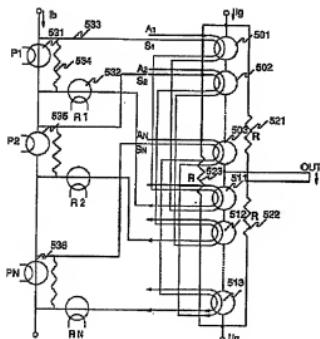
#### 【符号の説明】

01…入力バス、802…出力バス、804…フリップフロップユニット、805…出力、811…N×Mマトリクス

チフレクサ、812…論理/配線ユニット、813…部バス、814…出力バス、815…出力バス、81…出力バス。

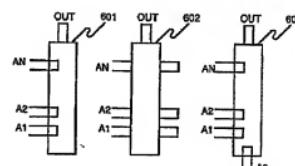
【図1】

3



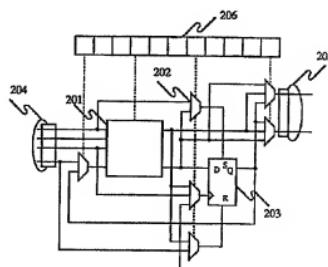
【图2】

四



【图6】

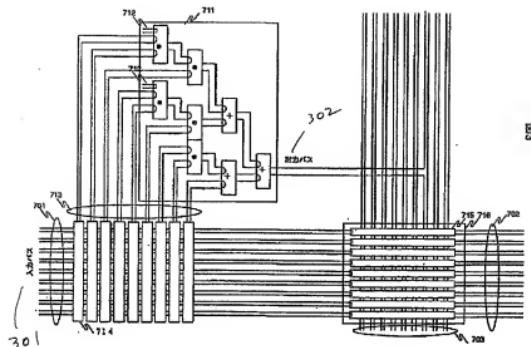
10



(6)

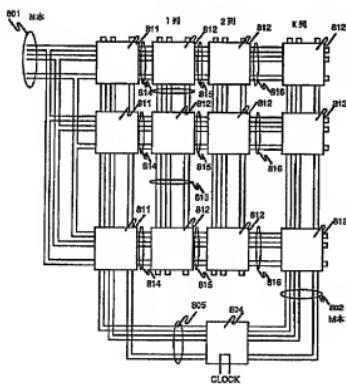
特開平8-148989

【図3】 Fig. 3



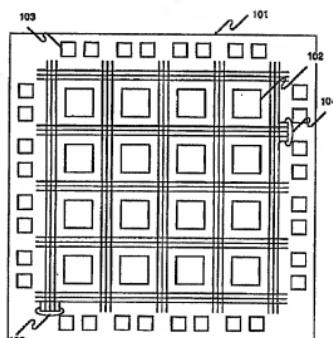
【图4】

4



【圖 5】

四



【図7】

図7

